

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-79712

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.

H 0 4 N 7/01

識別記号

庁内整理番号

F.I.

技術表示箇所

G

審査請求 未請求 請求項の数7 O.L. (全 16 頁)

(21)出願番号 特願平6-206959

(22)出願日 平成6年(1994)8月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 近藤 哲二郎

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 西片 文晴

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 クラス分類適応処理装置

(57)【要約】

【構成】 1ビットA/DRC符号化回路61、62、63及び64は、補間処理部51によって補間された後のMUSE動画信号に対して3×3、5×5、7×7及び9×9の画素からなるブロック毎にそれぞれクラス分類処理を施し、各クラスコードと、各ダイナミックレンジとを出力する。ダイナミックレンジ判定回路65は、各ダイナミックレンジを基に、2ビットのクラスコード選択信号を生成し、クラスコード選択回路66に供給して、クラスコード選択回路66の選択処理を切り換え制御する。フィルタ係数用ROM67は、クラスコード選択回路66から供給されるクラスコードに応じてそのクラスに対応するフィルタ係数を適応フィルタ68に出力する。適応フィルタ68は、補間MUSE動画信号に上記フィルタ係数を用いた適応フィルタ処理を施し、アップコンバージョンしたMUSE動画信号を出力する。

【効果】 固定領域に属さないクラスの影響にも対応できるため、高精度のクラス分類適応処理を行うことができる。

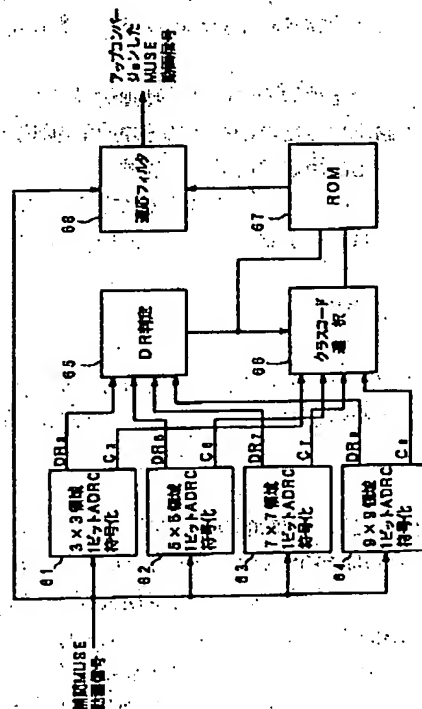


図4 クラス分類適応処理装置のブロック図

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 入力信号に対して互いに大きさの異なる複数のブロック毎にそれぞれクラス分類処理を施して各クラス分類情報信号及び各ブロック内の変化の度合を示す信号をそれぞれ出力する複数のクラス分類手段と、上記複数のクラス分類手段の複数の上記クラス分類情報信号の一を選択処理する選択手段と、

上記ブロック内の変化の度合を示す信号に応じて上記選択手段の選択処理を切り替え制御する切り替え制御手段と、

上記選択手段から得られた上記クラス分類情報信号の一に応じて、適応的に目的とする出力信号を出力する信号出力手段とを有することを特徴とするクラス分類適応処理装置。

【請求項2】 上記信号出力手段は、予め学習により獲得されたクラス毎の適応フィルタ係数を格納する適応フィルタ係数記憶手段と、上記適応フィルタ係数を用い上記入力信号に適応フィルタ処理を施す適応フィルタ手段からなることを特徴とする請求項1記載のクラス分類適応処理装置。

【請求項3】 上記クラス分類手段は、適応ダイナミックレンジ符号化手段であることを特徴とする請求項1記載のクラス分類適応処理装置。

【請求項4】 上記ブロック内の変化の度合を示す信号は、ダイナミックレンジであることを特徴とする請求項1記載のクラス分類適応処理装置。

【請求項5】 上記切り替え制御手段は、上記ブロック内の変化の度合を示す信号間の比と所定のしきい値を比較することによって得た2値化信号を加算した切り替え制御信号によって、上記選択手段の一を切り替え制御することを特徴とする請求項1記載のクラス分類適応処理装置。

【請求項6】 上記複数の信号は、動画信号であることを特徴とする請求項1記載のクラス分類適応処理装置。

【請求項7】 上記複数の信号は、多重サブサンプリングエンコード方式のデコーダにおける動画信号であることを特徴とする請求項1記載のクラス分類適応処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力信号に対してクラス分類に応じた適応処理を施すクラス分類適応処理装置に関する。

【0002】

【従来の技術】 従来、標準解像度（以下、SDという。）信号から高解像度（以下、HDという。）信号へ、アップコンバートする画像信号変換装置は、図12に示すような装置であった。すなわち、従来の画像信号変換装置の入力端子120から入力されたSD信号は、水平補間フィルタ121により水平方向の画素数が2倍

とされ、垂直補間フィルタ122により垂直方向のライン数が2倍とされ、出力端子123からHD信号として出力されていた。

【0003】しかし、上記従来の画像信号変換装置から出力される信号は、単に補間された信号に過ぎず、解像度は入力されたSD信号と何ら変わらなかった。そこで、本件出願人は、特願平5-167518号明細書及び図面にて、単に補間するのではなく、既知のHD信号から学習を行うことによって、予測式の予測係数を用いてSD信号からHD信号へアップコンバートできる画像信号変換装置を提案した。

【0004】この画像信号変換装置は、図13に示すような構成とされていた。先ず、入力端子130から入力されたSD信号は、ブロック化回路131に供給されブロック単位のデータがSD画像中から取り出され、適応ダイナミックレンジ符号化（Adaptive Dynamic Range Coding、以下、ADRCという。）回路132と予測演算回路135に供給される。ADRC符号化は、VTR向け高能率符号化用に開発された適応的再量子化法であり、信号レベルの局所的な代表値を短い語長で効率的に表現できる。このADRC符号化回路132では、供給されたブロック単位のデータに例えば1ビットADRC符号化処理を施し、クラスを決定する。クラスコード発生回路133では、決定されたクラスに対応するクラスコードを発生し、このクラスコードを予測係数メモリ134にアドレスとして供給する。予測係数メモリ134は、上記アドレスに応じたクラスの予測係数を予測演算回路135に供給する。予測演算回路135は、ブロック化回路131から供給されたブロック単位のデータと予測係数から予測式に従った演算を行い推定HDデータを出力端子136から出力する。

【0005】すなわち、この画像信号変換装置では、ADRC符号化回路132と、クラスコード発生回路133と、予測係数メモリ134と予測演算回路135にて構成されるクラス分類適応処理装置により、SD信号をHD信号にアップコンバートしている。

【0006】

【発明が解決しようとする課題】ところで、上記図13に示したような画像信号変換装置のADRC符号化回路132と、クラスコード発生回路133と、予測係数メモリ134と予測演算回路135で構成されるクラス分類適応処理装置では、固定領域における画像信号の波形パターン分類、すなわちクラス分類に対応したクラスコードを用いて予測係数メモリ134から予測係数を出力させており、この固定領域に属さないクラスの影響を考慮していなかった。

【0007】そこで、本発明は、上記実情に鑑みてなされたものであり、上記固定領域に属さないクラスの影響にも対応して、高精度のクラス分類適応処理を行うことのできるクラス分類適応処理装置の提供を目的とする。

【0008】

【課題を解決するための手段】本発明に係るクラス分類適応処理装置は、入力信号に対して互いに大きさの異なる複数のブロック毎にそれぞれクラス分類処理を施して各クラス分類情報信号及び各ブロック内の変化の度合を示す信号をそれぞれ出力する複数のクラス分類手段と、上記複数のクラス分類手段の複数の上記クラス分類情報信号の一を選択処理する選択手段と、上記ブロック内の変化の度合を示す信号に応じて上記選択手段の選択処理を切り替え制御する切り替え制御手段と、上記選択手段から得られた上記クラス分類情報信号の一に応じて、適応的に目的とする出力信号を出力する信号出力手段とを有することにより上記課題を解決する。ここで、互いに大きさの異なる複数のブロックとは、例えば縦×横が、 $n \times n$ の正方形の範囲であって、 n の値が互いに異なるようなブロックをいう。

【0009】この場合、上記信号出力手段は、予め学習により獲得されたクラス毎の適応フィルタ係数を格納する適応フィルタ係数記憶手段と、上記適応フィルタ係数を用い上記入力信号に適応フィルタ処理を施す適応フィルタ手段からなる。また、上記クラス分類手段は、適応ダイナミックレンジ符号化手段であることが好ましい。この場合、上記ブロック内の変化の度合を示す信号は、ダイナミックレンジである。

【0010】また、上記切り替え制御手段は、上記ブロック内の変化の度合を示す信号間の比と所定のしきい値を比較することによって得た2値化信号を加算した切り替え制御信号によって、上記選択手段の一を切り替え制御する。また、記複数の信号は、動画信号であり、特に、多重サブサンプリングエンコード方式のデコーダにおける動画信号であることが好ましい。

【0011】

【作用】本発明に係るクラス分類適応処理装置は、複数のクラス分類手段が出力したそれぞれのクラス分類情報信号を各ブロック内の変化の度合を示す信号に応じて切り替え制御して選択し、該切り替え選択されて得られたクラス分類情報信号に応じて適応的に目的とする出力信号を出力するので、固定領域に属さないクラスの影響にも対応できる。

【0012】

【実施例】以下、本発明に係るクラス分類適応処理装置の好ましい実施例を図面を参照しながら説明する。この実施例は、サブサンプリングにより伝送情報量を圧縮するような高解像度ビデオ信号のデコーダ、例えばハイビジョン信号の圧縮方式である多重サブサンプリングエンコード(Multiple Sub-Nyquist-Sampling Encoding, MUSE)方式のデコーダの要部に適用されるクラス分類適応処理装置である。

【0013】先ず、この実施例のクラス分類適応処理装置を説明する前に、多重サブサンプリングエンコード方

式のエンコーダ及びデコーダの主要部を図1乃至図4を参照しながら説明しておく。図1には多重サブサンプリングエンコード方式のエンコーダの主要部を示す。このエンコーダの主要部には、入力端子1、2及び3を介して、図示しないA/D変換器によってデジタル信号に変換され、図示しないマトリクス演算回路によって形成された高解像度(以下、HDという。)信号のY(輝度)信号、Pr(R-Y成分)信号及びPb(B-Y成分)信号が供給される。

【0014】入力端子1を介したY信号は、フィールド間前置フィルタ4に供給される。このフィールド間前置フィルタ4に対して、フィールドオフセットサブサンプリング回路5、ローパスフィルタ6及びサンプリング周波数変換回路7(図中、4.8→3.2と記す。)が接続される。フィールドオフセットサブサンプリング回路5は、フィールド間でサブサンプリングの位相を1画素ずらすもので、その出力がローパスフィルタ8に供給される。原Y信号のサンプリング周波数は例えば4.8、6MHzで、フィールドオフセットサブサンプリング回路5のサンプリング周波数が例えば2.4、3MHzで、ローパスフィルタ8によって、例えば1.2、1.5MHz以上の周波数成分が除去されるとともに、データが補間されてサンプリング周波数が4.8、6MHzに戻される。

【0015】ローパスフィルタ8に対して、サンプリング周波数変換回路9(図中、4.8→3.2と記す。)が接続される。このサンプリング周波数変換回路9は、サンプリング周波数を例えば3.2、4MHzに変換する。このサンプリング周波数変換回路9の出力信号は、TCI(Time Compressed Integration)スイッチ10に供給される。フィールドオフセットサブサンプリング回路5からサンプリング周波数変換回路9までの信号路は、静止領域の処理のために設けられている。

【0016】帯域制限用のローパスフィルタ6に対してサンプリング周波数変換回路11(図中、4.8→3.2と記す。)が接続され、例えば4.8、6MHzから3.2、4MHzへサンプリング周波数が変換される。このサンプリング周波数変換回路11の出力がTCIスイッチ12に供給される。TCIスイッチ12からの信号が2次元サブサンプリングフィルタ16を介して混合回路17に供給される。ローパスフィルタ6から2次元サブサンプリングフィルタ16に至る信号路が動き領域の処理のために設けられている。混合回路17では、2次元サブサンプリングフィルタ16の出力信号とTCIスイッチ10の出力信号とが混合される。

【0017】サンプリング周波数変換回路7に対しては、動きベクトル検出回路13が接続される。動きベクトル検出回路13に対して、動きフィルタ14及び動き検出回路15が接続される。動きフィルタ14には、サンプリング周波数変換回路11の出力信号も供給される。動きフィルタ14の出力が動き検出回路15に供給

される。動き検出回路15での検出結果(動き量)に基づいて混合回路17の混合比を制御する制御信号が生成される。

【0018】入力端子2、3からの色差信号Pr、Pbが垂直ローパスフィルタ21、22をそれぞれ介して線順次化回路23に供給される。線順次化回路23からの線順次色信号がローパスフィルタ24に供給され、7MHz以上の成分が除去され、そして、フィールドオフセットサブサンプリング回路26に供給される。線順次色信号が帯域制限用のローパスフィルタ25を介してフィールドオフセットサブサンプリング回路27に供給される。フィールドオフセットサブサンプリング回路27に対して時間圧縮回路28が接続される。

【0019】ローパスフィルタ24及びフィールドオフセットサブサンプリング回路26は、静止領域用の処理回路であり、ローパスフィルタ25、フィールドオフセットサブサンプリング回路27及び時間圧縮回路28は、動き領域用の処理回路である。フィールドオフセットサブサンプリング回路26及び時間圧縮回路28の出力信号がTCTスイッチ10及び12へそれぞれ供給され、上述のように処理された輝度信号成分と時間軸多重化される。

【0020】混合回路17の出力信号がフレームラインオフセットサブサンプリング回路31に供給される。ここでサブサンプリングのパターンは、フレーム間及びライン間で反転され、また、サンプリング周波数が例えば16、2MHzとされる。フレームラインオフセットサブサンプリング回路31の出力信号が伝送用ガンマ補正回路32を介して多重サブサンプリングエンコードのフォーマット化回路33に供給される。図では省略されているが、時間軸圧縮されたオーディオ信号、同期信号、VIT信号等がフォーマット化回路33に加えられる。出力端子34に約8MHzの多重サブサンプリングエンコード信号が取り出される。

【0021】上述の多重サブサンプリングエンコード方式のエンコードのサブサンプリングについて、図2を参照して概略的に説明する。図2では、静止領域の処理が上側に示され、動き量子化の処理が下側に示されている。すなわち、図1の各点の信号に関して、そのサンプリング状態を図2に示している。また、クロマ信号Cの処理は、輝度信号Yと同様であるため、その説明を省略する。フィールドオフセットサブサンプリング回路5の入力(A点)からデジタルY信号が供給され、フィールド毎にサンプリング位相が1画素ずれたパターンでサブサンプリングされた出力信号がB点に発生する。

【0022】ローパスフィルタ12の出力(C点)には、補間された信号(サンプリング周波数が48、6MHz)が発生する。サンプリング周波数変換回路9の出力(D点)もサンプリング周波数が32、4MHzに変換された信号が現れる。一方、ローパスフィルタ6の入

力(a点)には、A点と同様のデジタルY信号が供給される。動き領域では、フィールドオフセットサブサンプリングがなされず、サンプリング周波数変換回路11の出力(b点)には、D点と同様のY信号が発生する。

【0023】静止領域及び動き領域のそれぞれの処理を受けたY信号が混合回路17で混合され、混合回路17の出力がフレームラインオフセットサブサンプリング回路31に供給される。このフレームラインオフセットサブサンプリング回路31の出力(E点)では、フレーム間及びライン間で水平方向に1画素のオフセットを持つようにサンプリングされた出力信号が発生する。

【0024】図3には本発明の実施例となるクラス分類適応処理装置を適用できる多重サブサンプリングエンコード方式のデコーダの主要部を示す。このデコーダの主要部には、受信されベースバンド信号に変換され、デジタル信号に変換された多重サブサンプリングエンコード信号と、動きベクトルとが入力される。多重サブサンプリングエンコード信号は、フレーム間補間回路41、フィールド内補間回路42及び動き部分検出回路43にそれぞれ供給される。動き部分検出回路43によって、動き領域を検出し、動き領域と静止領域との処理がそれぞれなされた信号の混合比が制御される。

【0025】すなわち、静止領域では、フレーム間補間回路41により1フレーム前の画像データを使用したフレーム間補間がなされる。ただし、カメラのパンニングのように、画像の全体が動く時には、コントロール信号として伝送される動きベクトルに応じて1フレーム前の画像を動かして重ね合わせる処理がなされる。フレーム間補間回路41の出力信号がローパスフィルタ44、サンプリング周波数変換回路45、フィールドオフセットサブサンプリング回路46及びフィールド内補間回路47を介して混合回路48に供給される。フィールドオフセットサブサンプリング回路46からは、例えば24、3MHzのサンプリング周波数の信号が得られる。

【0026】動き領域では、フィールド内補間回路42によって、空間的補間がなされる。フィールド内補間回路42に対して、32、4MHzから48、6MHzへのサンプリング周波数変換回路49が接続され、その出力信号が混合回路48に供給される。この混合回路48の混合比は、動き部分検出回路43の出力信号により制御される。混合回路48の出力信号が図示しないが、TCIデコーダに供給され、Y、Pr、Pbの各信号に分離される。さらに、D/A変換され、逆マトリクス演算され、ガンマ補正がされてからR、G、B信号が得られる。

【0027】上述のデコーダの処理を図4のサンプリングパターンを参照して概略的に説明する。入力信号(E点)のサンプリング状態は、上述のエンコードの出力(E点)と同一である。静止領域ではフレーム間補間回路41が介され、その出力(F点)で間引き画素が補間

されたビデオ信号が生じる。サンプリング周波数変換回路45(G点)では、サンプリング周波数が4.8、6MHzに変換されたビデオ信号が現れる。

【0028】フィールドオフセットサブサンプリング回路46の出力(H点)では、フィールド毎に1画素ずれたオフセットサンプリングがなされた信号が発生する。次のフィールド間補間回路47の出力(I点)に画素が補間された信号が生じる。これが混合回路48に供給される。動き領域の処理のためのフィールド内補間回路42の出力(f点)にフィールド内の画素により補間されたビデオ信号が発生する。サンプリング周波数変換回路49によって、その出力(h点)には、4.8、6MHzのサンプリング周波数のビデオ信号が発生する。これが混合回路48に供給される。

【0029】この多重サブサンプリングエンコード方式のデコーダでは、静止領域及び動き領域に関して補間とサブサンプリング処理が施される。ここで、本実施例のクラス分類適応処理装置は、フィールド内補間回路42に適用できる。すなわち、本実施例のクラス分類適応処理装置は、図5に示すように、基の目抜きされた状態で供給された多重サブサンプリングエンコード動画信号を基の目補間してフィールド内補間する補間処理部5.1からの補間多重サブサンプリングエンコード動画信号に、クラス分類適応処理を施してアップコンバージョンするクラス分類適応処理装置5.2である。

【0030】図6に、本実施例のクラス分類適応処理装置5.2の詳細な構成を示す。補間処理部5.1によって補間された後の多重サブサンプリングエンコード動画信号は、4種類の1ビット適応ダイナミックレンジ符号化(Adaptive Dynamic Range Coding: 以下、ADRCという。)回路6.1、6.2、6.3及び6.4に供給される。ADRC符号化は、画像の局所的な相関を利用してレベル方向の冗長度を適応的に除去するものである。1ビットADRC符号化回路6.1は、補間処理部5.1で補間された後の多重サブサンプリングエンコード動画信号を3×3の領域にブロック化し、該3×3の領域の多重サブサンプリングエンコード動画信号の中の最大値と最小値からダイナミックレンジDR₁を検出すると共に、クラスコードC₁を出力する。同様に、1ビットADRC符号化回路6.2は、5×5の領域にブロック化された多重サブサンプリングエンコード動画信号からダイナミックレンジDR₂を検出すると共に、クラスコードC₂を出力する。以下、1ビットADRC符号化回路6.3も、7×7の領域の多重サブサンプリングエンコード動画信号からダイナミックレンジDR₃を検出すると共に、クラスコードC₃を出力し、1ビットADRC符号化回路6.4も、9×9の領域の多重サブサンプリングエンコード動画信号からダイナミックレンジDR₄を検出すると共に、クラスコードC₄を出力する。

【0031】各1ビットのADRC符号化回路6.1、6

2、6.3及び6.4から出力されたダイナミックレンジDR₁、DR₂、DR₃及びDR₄は、図中破線で示すように、ダイナミックレンジ判定回路6.5に供給される。ダイナミックレンジ判定回路6.5は、後述するように、各ダイナミックレンジDR₁、DR₂、DR₃及びDR₄を基に、2ビットのクラスコード選択信号を生成し、クラスコード選択回路6.6に供給すると共にフィルタ係数用ROM6.7に供給する。

【0032】フィルタ係数用ROM6.7には、予め学習により作成された適応フィルタ係数が格納されている。このフィルタ係数用ROM6.7は、クラスコード選択回路6.6から供給されるクラスコードとDR判定回路6.5から供給されるクラスコード選択信号によりアドレスを決定されて、そのクラスに対応するフィルタ係数を適応フィルタ6.8に出力する。適応フィルタ6.8は、補間された多重サブサンプリングエンコード動画信号に上記フィルタ係数を用いた適応フィルタ処理を施し、アップコンバージョンした多重サブサンプリングエンコード動画信号を出力する。ここで、このフィルタ係数用ROM6.7と適応フィルタ6.8とは、クラスコード選択回路6.6により切り替え選択されて得られたクラスコードに応じて適応的に目的とする出力信号を出力する信号出力手段を形成している。

【0033】1ビットADRC符号化回路6.1、6.2、6.3及び6.4の詳細な構成を図7、8、9及び10に示す。まず、1ビットADRC符号化回路6.1は、図7に示すように、3×3の領域内で補間多重サブサンプリングエンコード動画信号である各画素データの最大(MAX)値を算出するMAX計算部7.1と、3×3の領域内で上記各画素データの最小(MIN)値を算出するMIN計算部7.2と、上記MAX値と上記MIN値から3×3領域のダイナミックレンジDR₁を算出するDR計算部7.3と、上記MIN値を上記各画素データから減算した後、該減算値を上記ダイナミックレンジDR₁で除算して、3×3の領域内で上記各画素データを正規化する正規化部7.4と、この正規化部7.4からの各正規化値と所定のしきい値とを比較し、1画素当たり1ビットの2値化信号とし、計9ビットを割り当てるビット割り当て部7.5とを有する。このビット割り当て部7.5では、上記所定のしきい値を例えば0.5とし、上記各正規化値が上記しきい値以上である場合には2値化信号“1”を、上記各正規化値が上記しきい値より小さい場合には2値化信号“0”を、上記3×3の領域内で割り当てる。

【0034】また、1ビットADRC符号化回路6.2は、図8に示すように、5×5の領域内で補間多重サブサンプリングエンコード動画信号である各画素データのMAX値を算出するMAX計算部8.1と、5×5の領域内で上記各画素データのMIN値を算出するMIN計算部8.2と、上記MAX値と上記MIN値から5×5領域のダイナミックレンジDR₂を算出するDR計算部8.3

と、上記MIN値を上記各画素データから減算した後、該減算値を上記ダイナミックレンジDRで除算して、 3×3 の領域内で上記各画素データを正規化する正規化部84と、この正規化部84からの各正規化値と上記例えば0.5である所定のしきい値とを比較し、1画素当たり1ビットの2値化信号とし、計9ビットを割り当てるビット割り当て部85とを有する。このビット割り当て部85が行うビット割り当て処理は、上記ビット割り当て部75が行うビット割り当て処理と同様である。

【0035】さらに、1ビットADRC符号化回路63は、図9に示すように 7×7 の領域内で補間多重サブサンプリングエンコード動画信号である各画素データのMAX値を算出するMAX計算部91と、 7×7 の領域内で上記各画素データのMIN値を算出するMIN計算部92と、上記MAX値と上記MIN値から 7×7 領域のダイナミックレンジDRを算出するDR計算部93と、上記MIN値を上記各画素データから減算した後、該減算値を上記ダイナミックレンジDRで除算して、 3×3 の領域内で上記各画素データを正規化する正規化部94と、この正規化部94からの各正規化値と上記例えば0.5である所定のしきい値とを比較し、1画素当たり1ビットの2値化信号とし、計9ビットを割り当てるビット割り当て部95とを有する。このビット割り当て部95が行うビット割り当て処理も、上記ビット割り当て部75が行うビット割り当て処理と同様である。

【0036】またさらに、1ビットADRC符号化回路64は、図10に示すように 9×9 の領域内で補間多重サブサンプリングエンコード動画信号である各画素データのMAX値を算出するMAX計算部101と、 9×9 の領域内で上記各画素データのMIN値を算出するMIN計算部102と、上記MAX値と上記MIN値から 9×9 領域のダイナミックレンジDRを算出するDR計算部103と、上記MIN値を上記各画素データから減算した後、該減算値を上記ダイナミックレンジDRで除算して、 3×3 の領域内で上記各画素データを正規化する正規化部104と、この正規化部104からの各正規化値と上記例えば0.5である所定のしきい値とを比較し、1画素当たり1ビットの2値化信号とし、計9ビットを割り当てるビット割り当て部105とを有する。このビット割り当て部105が行うビット割り当て処理も、上記ビット割り当て部75が行うビット割り当て処理と同様である。

【0037】図11には、図6に示したダイナミックレンジ判定回路65の詳細な構成を示す。このダイナミックレンジ判定回路65は、上記1ビットADRC符号化回路61のDR計算部73から供給されるダイナミックレンジDR、と上記1ビットADRC符号化回路62から供給されるダイナミックレンジDR、との比($= DR_1 / DR_2$)を所定のしきい値と比較して、2値化信号

“1”又は“0”を出力する比較部111と、上記ダイ

ナミックレンジDR、と上記1ビットADRC符号化回路63から供給されるダイナミックレンジDR、との比($= DR_1 / DR_3$)を所定のしきい値と比較して、2値化信号“1”又は“0”を出力する比較部112と、上記ダイナミックレンジDR、と上記1ビットADRC符号化回路64から供給されるダイナミックレンジDR、との比($= DR_1 / DR_4$)を所定のしきい値と比較して、2値化信号“1”又は“0”を出力する比較部113と、上記比較部111、112及び113の出力を加算することによって2ビットのクラスコード選択信号を出力する加算部114とを有してなる。比較部111、112及び113では、上記ダイナミックレンジDR、と上記ダイナミックレンジDR、DR₁及びDR₂、との比(DR_1 / DR_2)が所定のしきい値より大きいときに2値化信号“1”を、上記比が上記所定のしきい値以下のときに2値化信号“0”を出力する。

【0038】そして、クラスコード選択部66は、上記DR判定部65の加算器114が出力する2ビットのクラスコード選択信号に応じて、各1ビットのADRC符号化回路61、62、63及び64が出力した9ビットの割り当てデータ、すなわちクラスコードC₁、C₂、C₃及びC₄を選択的に切り替えてROM67に出力する。ここで、上記クラスコード選択信号が“11”(=3)のときには、上記クラスコードC₃が、上記クラスコード選択信号が“10”(=2)のときには、上記クラスコードC₂が、上記クラスコード選択信号が“01”(=1)のときには、上記クラスコードC₁が、上記クラスコード選択信号が“00”(=0)のときには、上記クラスコードC₄が選択されるようにすればよい。

【0039】以上より、本実施例のクラス分類適応処理装置は、ダイナミックレンジに応じたクラスコード選択信号に応じてクラスコードを切り替え、該クラスコードをアドレスとしてフィルタ係数用ROM67からフィルタ係数を適応フィルタ68に供給するので、固定領域に属さないクラスの影響にも対応して、予測係数用メモリ67から予測係数を出力できる。さらに、該クラス分類適応処理装置を多重サブサンプリングエンコード方式のデコーダのフィールド内補間回路42に適用すると、画像の局所的性質に追従したアップコンバージョンが可能となる。

【0040】

【発明の効果】本発明に係るクラス分類適応処理装置は、入力信号に対して互いに大きさの異なる複数のブロック毎にそれぞれクラス分類処理を施して各クラス分類情報信号及び各ブロック内の変化の度合を示す信号をそれぞれ出力する複数のクラス分類手段と、上記複数のクラス分類手段の複数の上記クラス分類情報信号の一を選択処理する選択手段と、上記ブロック内の変化の度合を示す信号に応じて上記選択手段の選択処理を切り替え制御する切り替え制御手段と、上記選択手段から得られた

上記クラス分類情報信号の一に応じて、適応的に目的とする出力信号を出力する信号出力手段とを有するので、固定領域に属さないクラスの影響にも対応できる。このため、本発明に係るクラス分類適応処理装置は、高精度のクラス分類適応処理を行うことができる。

【図面の簡単な説明】

【図1】多重サブサンプリングエンコード方式のエンコーダの部分的なブロック図である。

【図2】多重サブサンプリングエンコード方式のエンコーダのサブサンプリングを説明するための図である。

【図3】本発明の実施例のクラス分類適応処理装置を適用できる多重サブサンプリングエンコード方式のデコーダの部分的なブロック図である。

【図4】多重サブサンプリングエンコード方式のデコーダの補間処理を説明するための図である。

【図5】本発明の実施例のクラス分類適応処理装置を概念的に説明するための図である。

【図6】本発明の実施例のクラス分類適応処理装置の詳細なブロック図である。

【図7】図6に示したクラス分類適応処理装置の3×3の領域の1ビットADRC符号化回路の詳細なブロック図である。

【図8】図6に示したクラス分類適応処理装置の5×5の領域の1ビットADRC符号化回路の詳細なブロック図である。

*【図9】を図6に示したクラス分類適応処理装置の7×7の領域の1ビットADRC符号化回路の詳細なブロック図である。

【図10】図6に示したクラス分類適応処理装置の9×9の領域の1ビットADRC符号化回路の詳細なブロック図である。

【図11】図6に示したクラス分類適応処理装置のダイナミックレンジ判定部の詳細なブロック図である。

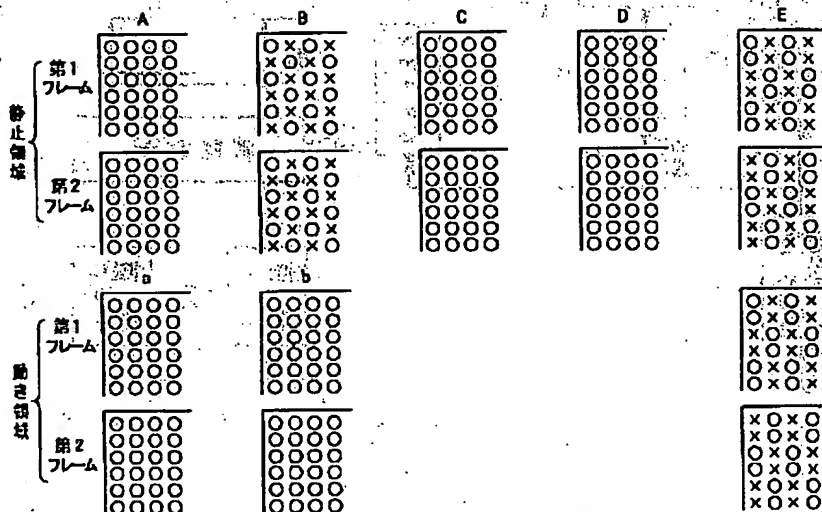
【図12】従来の画像信号変換装置のブロック図である。

【図13】従来の他の画像信号変換装置のブロック図である。

【符号の説明】

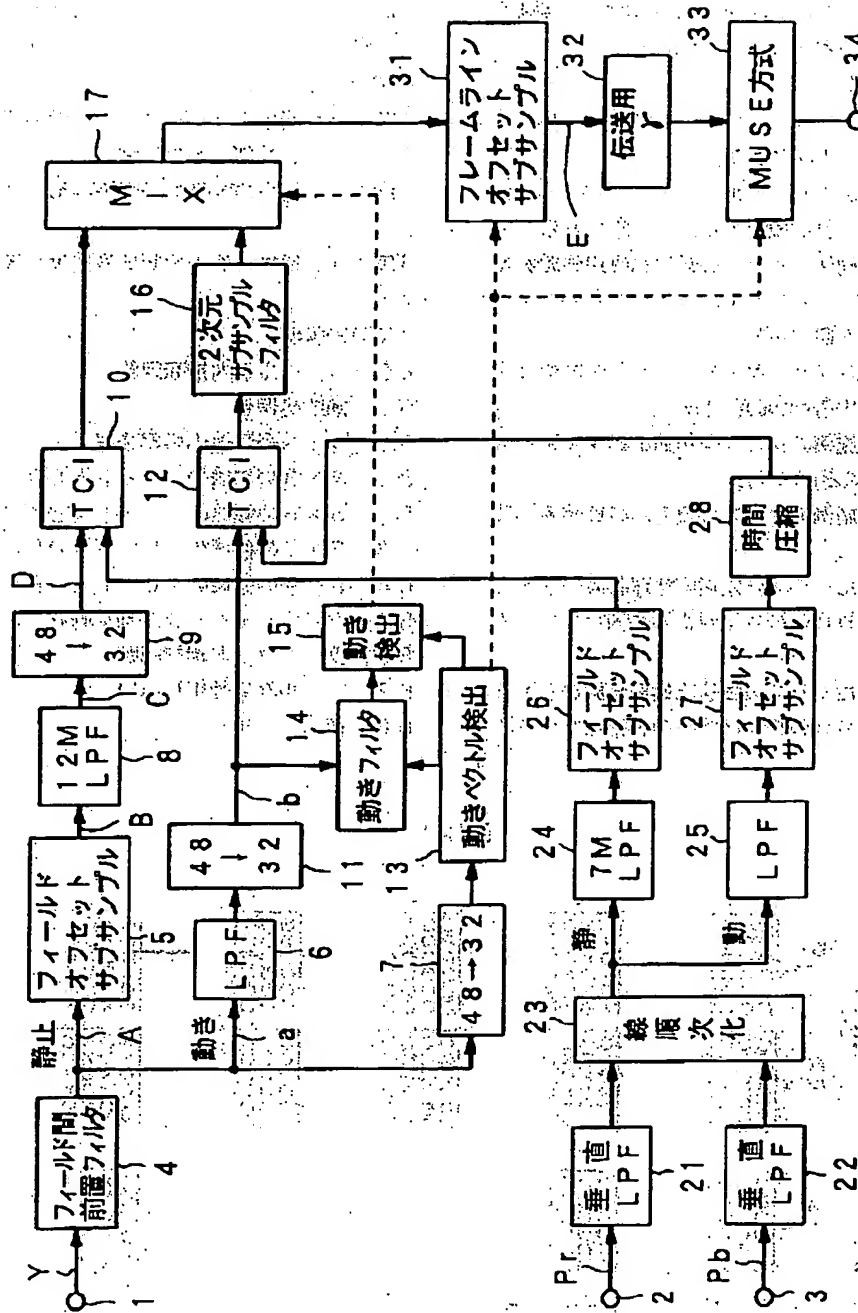
- 42 フィールド内補間回路
- 51 補間処理部
- 52 クラス分類適応処理装置
- 61 3×3の領域の1ビットADRC符号化回路
- 62 5×5の領域の1ビットADRC符号化回路
- 63 7×7の領域の1ビットADRC符号化回路
- 64 9×9の領域の1ビットADRC符号化回路
- 65 ダイナミックレンジ判定回路
- 66 クラスコード選択回路
- 67 フィルタ係数用ROM
- 68 適応フィルタ

【図2】



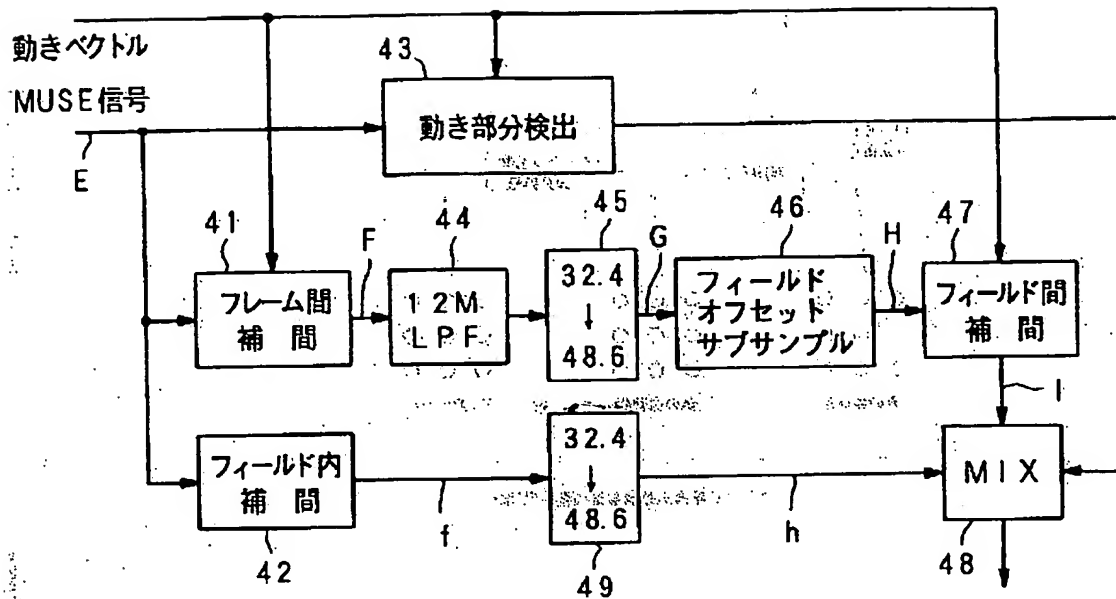
サブサンプリングの説明図

【図1】



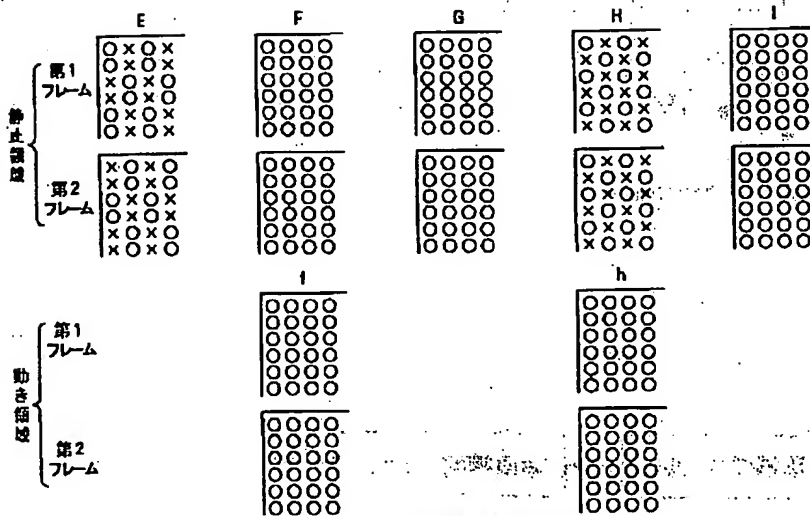
MUSE方式のエンコーダのブロック図

【図3】



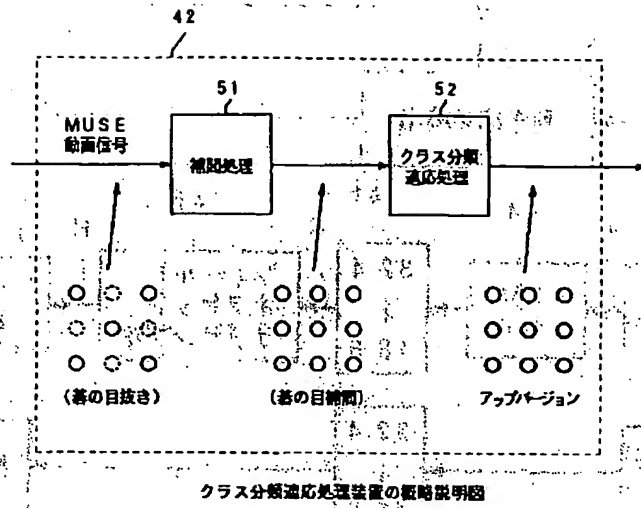
MUSE方式のデコーダのブロック図

【図4】

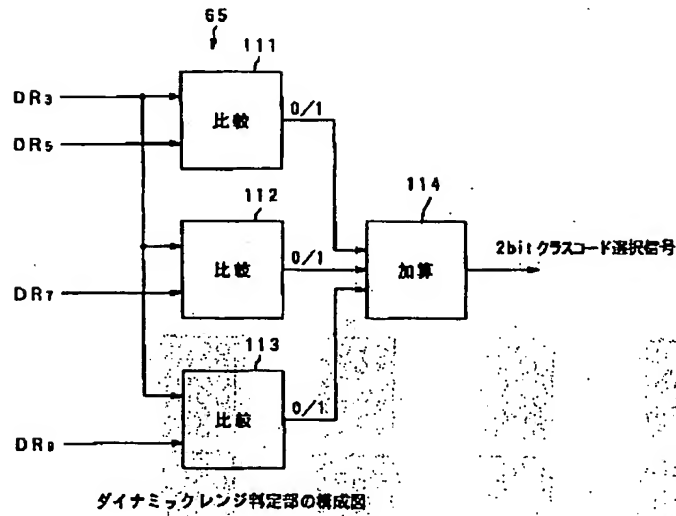


デコーダの補間処理の説明図

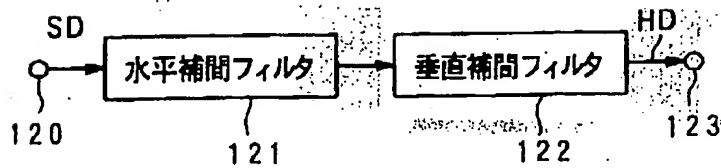
【図5】



【図11】

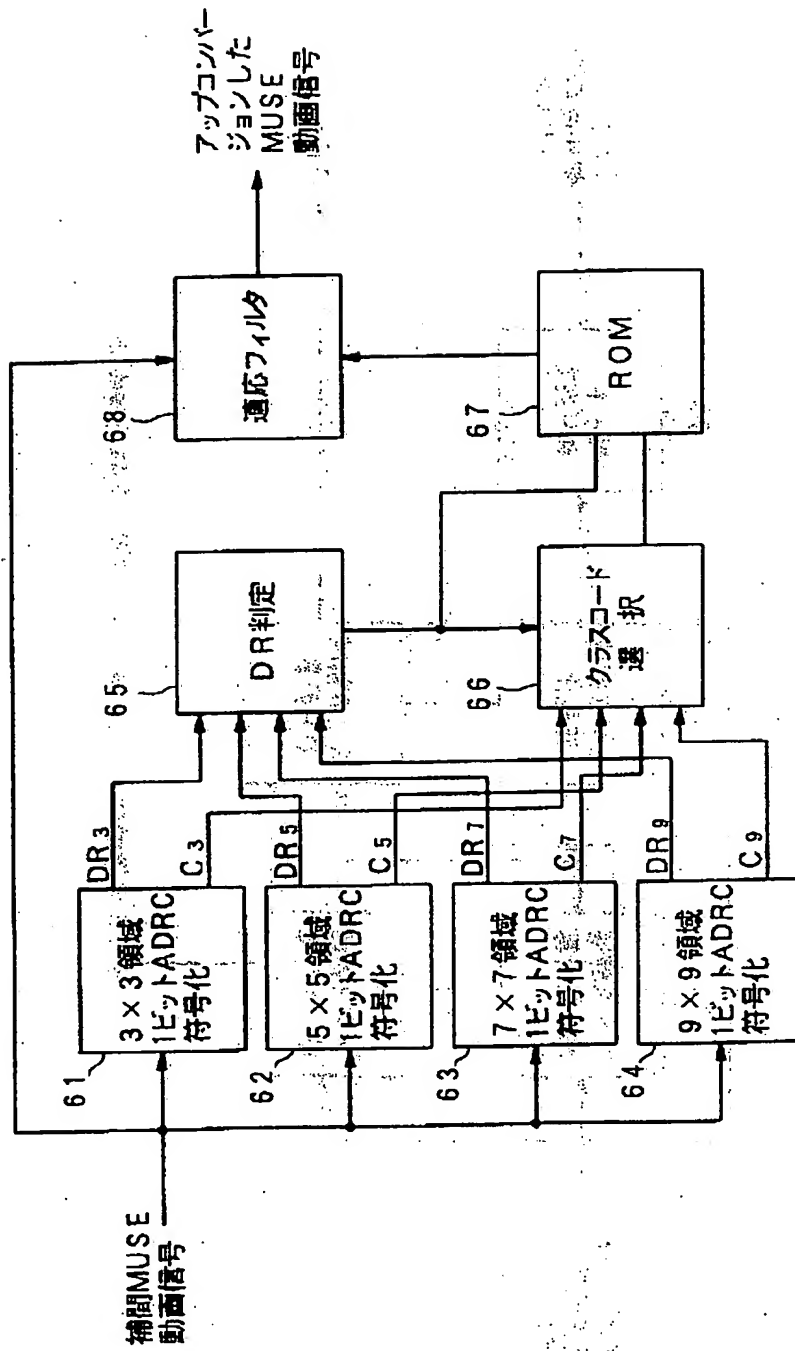


【図12】



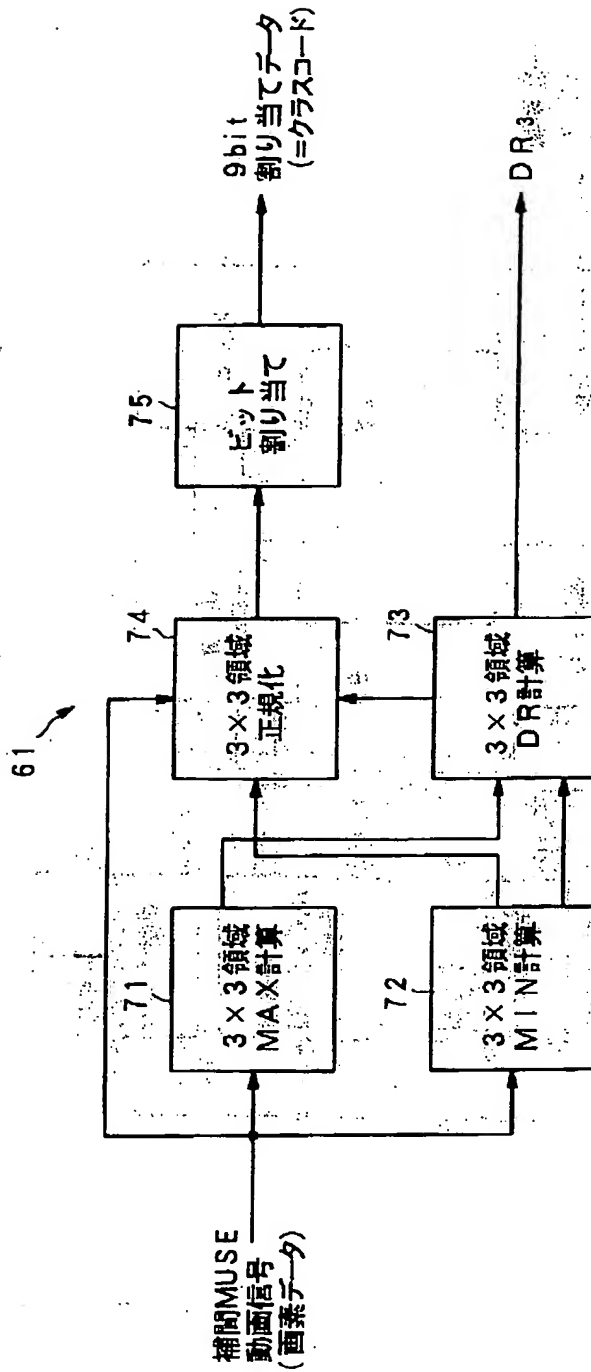
従来の画像信号変換装置の構成図

【図6】



クラス分類適応処理装置の詳細なブロック図

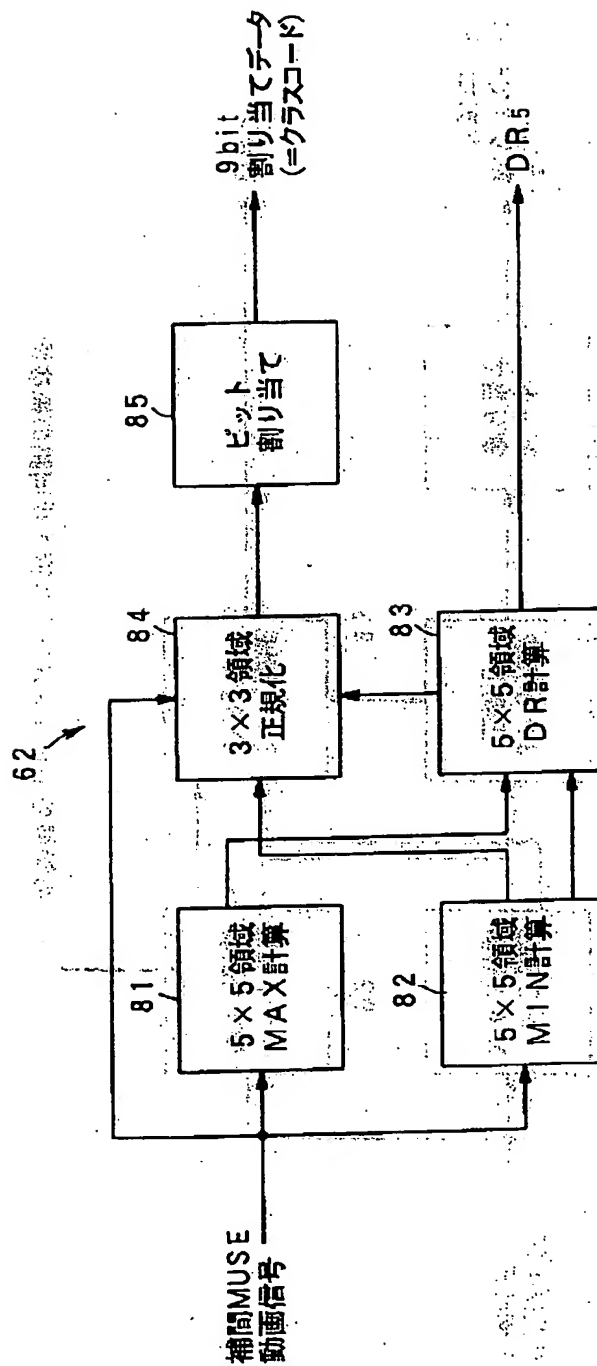
【図7】



3x3の領域の1ビットADRC符号化回路の構成図

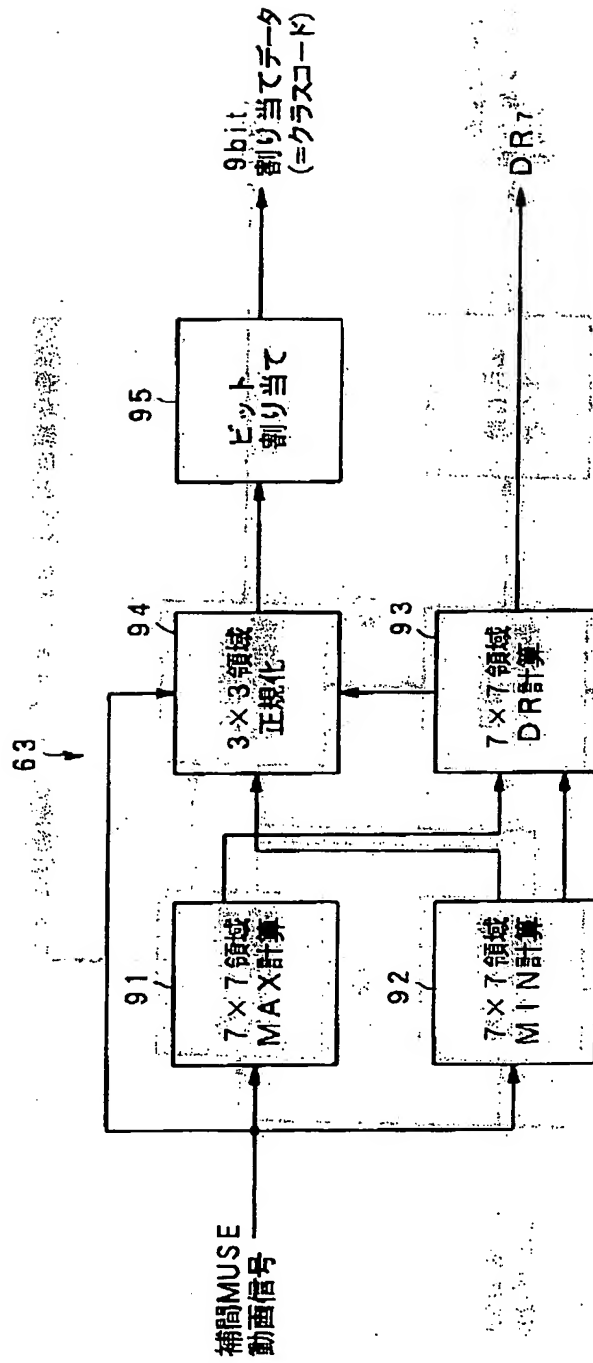
(13)

【図8】



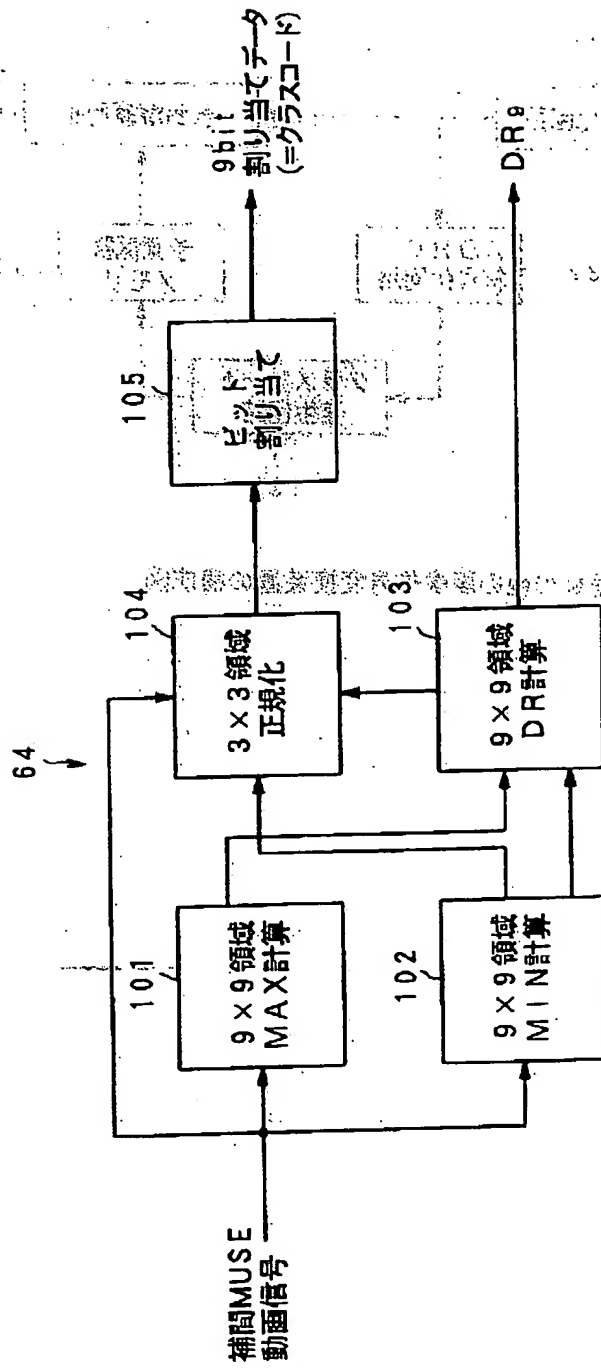
5x5の領域の1ビットADRC符号化回路の構成図

【図9】



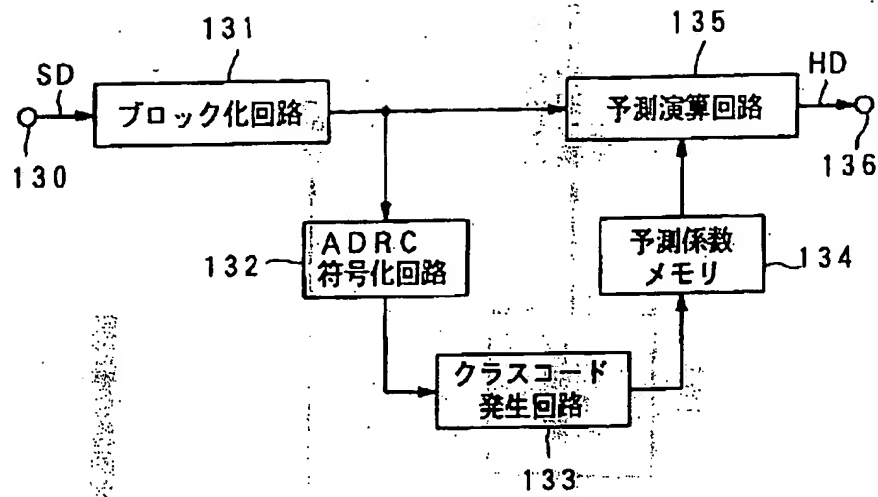
7×7の領域の1ビットADRC符号化回路の構成図

【図10】



9x9の領域の1ビットADRC符号化回路の構成図

【図13】



従来の他の画像信号変換装置の構成図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.